

9T6
6-8-02

Patent
Attorney's Docket No. 018656-248

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Tomokazu KAKUMOTO et al) Group Art Unit: Unassigned
Application No.: Unassigned) Examiner: Unassigned
Filed: November 20, 2001)
For: SCANNING CIRCUIT, AND IMAGING)
APPARATUS HAVING THE SAME)

11017 U.S. PRO
09/986528
11/20/01

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 00-0353920;

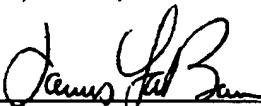
Filed: November 21, 2000.

In support of this claim, enclosed is a certified copy of the prior foreign application. This application is referred to in the oath or declaration. Acknowledgment of receipt of this certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: November 20, 2001

By: 
James A. LaBarre
Registration No. 28,632

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日本国特許庁
JAPAN PATENT OFFICE

J1017 U.S.
09/98852
11/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2000年11月21日

出願番号
Application Number:

特願2000-353920

出願人
Applicant(s):

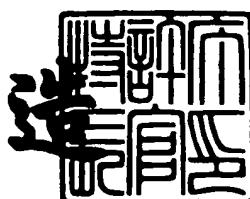
ミノルタ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月12日

特許庁長官
Commissioner,
Japan Patent Office

及川耕



出証番号 出証特2001-3084066

特2000-353920

特許願
TL03942
平成12年11月21日
特許庁長官 殿
H04N 01/04
走查回路及びそれを備えた撮像装置
8
【書類名】
【整理番号】
【提出日】
【あて先】
【国際特許分類】
【発明の名称】
【請求項の数】
【発明者】
【住所又は居所】 大阪市中央区安土町二丁目3番13号 大阪国際ビル
ミノルタ株式会社内
角本 兼一
【氏名】
【発明者】
【住所又は居所】 大阪市中央区安土町二丁目3番13号 大阪国際ビル
ミノルタ株式会社内
萩原 義雄
【氏名】
【特許出願人】
【識別番号】 000006079
【氏名又は名称】 ミノルタ株式会社
【代理人】
【識別番号】 100085501
【弁理士】
【氏名又は名称】 佐野 静夫
【選任した代理人】
【識別番号】 100111811
【弁理士】
【氏名又は名称】 山田 茂樹
【手数料の表示】
【予納台帳番号】 024969
21,000円

出証特2001

特2000-353920

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716119

【包括委任状番号】 0000030

【プルーフの要否】 要

出証特2001-308406

【書類名】 明細書

【発明の名称】 走査回路及びそれを備えた撮像装置

【特許請求の範囲】

【請求項1】 直列に接続されるn（nは2以上の整数）段の転送段と、
k（kは、 $1 \leq k \leq n$ の自然数）段目への転送段の入力と、k段目の転送段から
の出力との論理積によって生成される信号をk段目の走査用パルス信号として
出力する出力回路と、

を有し、

前記n段の転送段において奇数段の転送段と偶数段の転送段を交互に駆動させ
ることによって、前記出力回路よりn段の走査用パルス信号を1段毎に順次出力
することを特徴とする走査回路。

【請求項2】 直列に接続されるn（nは2以上の整数）段の転送段と、
互いに逆位相となる第1パルス及び第2パルスが入力され、前記n段の転送段
うち奇数段の転送段の出力と前記第1パルスとの論理積を求める第1論理ゲート
回路と、前記n段の転送段うち偶数段の転送段の出力と前記第2パルスとの論理
積を求める第2論理ゲート回路とで構成される出力回路と、

を有し、

前記n段の転送段において奇数段の転送段と偶数段の転送段を交互に駆動させ
るとともに、前記出力回路内の前記第1及び第2論理ゲート回路を前記第1及び
第2パルスで交互に駆動させることによって、前記出力回路よりn段の走査用パ
ルス信号を1段毎に順次出力することを特徴とする走査回路。

【請求項3】 前記n段の転送段のうち奇数段の転送段の駆動が開始した後、
前記第1論理ゲート回路の駆動が開始し、

前記n段の転送段のうち偶数段の転送段の駆動が開始した後、前記第2論理ゲ
ート回路の駆動が開始することを特徴とする請求項2に記載の走査回路。

【請求項4】 前記転送段が、

前段の転送段の出力が一端に与えられるスイッチと、
該スイッチの他端に入力側が接続されるとともに、出力側が後段の転送段のス
イッチに接続されるバッファと、

を備えることを特徴とする請求項1～請求項3のいずれかに記載の走査回路。

【請求項5】 第1クロック及び第2クロックが異なるタイミングで入力されるとともに、第1クロックが入力された後に第2クロックが入力されたときに入力側に与えられる信号を出力側に出力するように転送動作を行う x (x は2以上の整数) 段の第1転送段と、

第1クロック及び第2クロックが異なるタイミングで入力されるとともに、第2クロックが入力された後に第1クロックが入力されたときに入力側に与えられる信号を出力側に出力するように転送動作を行う y (y は、 $x-1$ 又は x) 段の第2転送段と、

a (a は、 $1 \leq a \leq y$ の自然数) 段目の第1転送段の出力と a 段目の第2転送段の出力との論理積によって生成される信号を $2a-1$ 段目の走査用パルス信号として出力するとともに、 b (b は、 $1 \leq b \leq x-1$ の自然数) +1段目の第1転送段の出力と b 段目の第2転送段の出力との論理積によって生成される信号を $2b$ 段目の走査用パルス信号として出力する出力回路と、

を有し、

前記出力回路より $x+y-1$ 段の走査用パルス信号を1段毎に順次出力することを特徴とする走査回路。

【請求項6】 前記第1転送段が、

前段の第1転送段の出力が一端に与えられるとともに、前記第1クロックでONとなる第1スイッチと、

該第1スイッチの他端に入力側が接続される第1インバータと、

該第1インバータに出力側に一端が接続されるとともに、前記第2クロックでONとなる第2スイッチと、

該第2スイッチの他端に入力側が接続されるとともに、出力側が後段の第1転送段の第1スイッチに接続される第2インバータと、

を備え、

前記第2転送段が、

前段の第2転送段の出力が一端に与えられるとともに、前記第2クロックでONとなる第3スイッチと、

該第3スイッチの他端に入力側が接続される第3インバータと、
 該第3インバータに出力側に一端が接続されるとともに、前記第1クロックで
 ONとなる第4スイッチと、
 該第4スイッチの他端に入力側が接続されるとともに、出力側が後段の第2転
 送段の第3スイッチに接続される第4インバータと、
 を備えることを特徴とする請求項5に記載の走査回路。

【請求項7】 請求項1～請求項6に記載の走査回路を有することを特徴とする
 撮像装置。

【請求項8】 前記走査回路を水平走査回路とすることを特徴とする請求項7
 に記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、撮像装置や画像表示装置に使用される走査回路に関するもので、特に、高速動作に適した走査回路に関する。

【0002】

【従来の技術】

図8のブロック回路図に、従来より撮像装置や画像表示装置に使用されている走査回路の内部構成を示す。図8に示す走査回路は、2つのスイッチと2つのインバータで構成されるとともにパルスを転送する転送段をn段備える。即ち、k（kは、 $1 \leq k \leq n$ の自然数）段目の転送段 t_{ak} は、一端に転送段 t_{ak-1} からの出力が入力されるスイッチ s_{ka} と、スイッチ s_{ka} の他端に入力側が接続されたインバータ i_{ka} と、インバータ i_{ka} の出力側に一端が接続されたスイッチ s_{kb} と、スイッチ s_{kb} の他端に入力側が接続されたインバータ i_{kb} と、から構成される（図8には、3段目までを図示している）。そして、インバータ i_{nb} からの出力が転送段 t_{ak} の出力 out_k となる。この出力 out_k は、例えば、撮像装置内の固体撮像素子に図8の走査回路が設けられるとき、固体撮像素子を走査するための信号として出力される。

【0003】

図8の走査回路は、転送段各段に設けられたスイッチを交互に動作させるためのクロックX_a, X_bが、交互に与えられる。このとき、k段目の転送段t_{a k}において、クロックX_aがハイレベルのとき、スイッチs_{ka}がONとなり、又、クロックX_bがハイレベルのとき、スイッチs_{kb}がONとなる。

【0004】

よって、転送段t_{a k - 1}の出力out_{k-1}がハイレベルのパルス信号として出力されているとき、クロックX_aが与えられてスイッチs_{ka}がONされると、スイッチs_{ka}を通して、インバータi_{ka}にハイレベルの信号が入力され、インバータi_{ka}よりローレベルの信号が出力される。次に、スイッチs_{ka}がOFFとなり、クロックX_bが与えられてスイッチs_{kb}がONとされると、スイッチs_{kb}を通して、インバータi_{kb}にローレベルの信号が入力され、インバータi_{kb}よりハイレベルの信号が転送段t_{a k}の出力out_kとして出力される。このとき、転送段t_{a k - 1}の出力out_{k-1}はローレベルとなる。

【0005】

その後、再び、クロックX_aが与えられてスイッチs_{ka}がONされると、スイッチs_{ka}を通して、インバータi_{ka}にローレベルの信号が入力され、インバータi_{ka}よりハイレベルの信号が出力される。次に、クロックX_bが与えられてスイッチs_{kb}がONとされると、スイッチs_{kb}を通して、インバータi_{kb}にハイレベルの信号が入力され、インバータi_{kb}よりローレベルの信号が転送段t_{a k}の出力out_kとして出力される。

【0006】

即ち、図8に示す転送段t_{a 1}～t_{a n}は、1段目の転送段t_{a 1}が図9のようなクロックX_bがローレベルの間にハイレベルとなるスタートパルスを与えられる場合において、ハイレベルのスタートパルスが与えられる間にクロックX_aが与えられると、スイッチs_{1a}～s_{na}がONとなる。このとき、インバータi_{1a}の出力がローレベルとなるとともに、インバータi_{2a}～i_{na}の出力がハイレベルとなる。

【0007】

そして、スタートパルスをローレベルとするとともにクロックX_bが与えられ

ると、スイッチ $s_{1b} \sim s_{nb}$ が ON となる。このとき、インバータ i_{1b} の出力がハイレベルとなるとともに、インバータ $i_{2b} \sim i_{nb}$ の出力がローレベルとなる。よって、図 9 のように、転送段 t_{a1} の出力 out_1 がハイレベルとなるとともに、転送段 $t_{a2} \sim t_{an}$ の出力 $out_2 \sim out_n$ がローレベルとなる。

【0008】

その後、再び、クロック X_a が与えられたとき、スイッチ $s_{1a} \sim s_{na}$ が ON となり、インバータ i_{2a} の出力がローレベルとなるとともに、インバータ $i_{1a}, i_{3a} \sim i_{na}$ の出力がハイレベルとなる。そして、クロック X_b が与えられると、スイッチ $s_{1b} \sim s_{nb}$ が ON となり、インバータ i_{2b} の出力がハイレベルとなるとともに、インバータ $i_{1b}, i_{3b} \sim i_{nb}$ の出力がローレベルとなる。よって、図 9 のように、転送段 t_{a2} の出力 out_2 がハイレベルとなるとともに、転送段 $t_{a1}, t_{a3} \sim t_{an}$ の出力 $out_1, out_3 \sim out_n$ がローレベルとなる。

【0009】

よって、ハイレベルのクロック X_a, X_b が交互に与えられることによって、図 9 のように、 n 段の転送段 $t_{a1} \sim t_{an}$ の出力 $out_1 \sim out_n$ より、 $out_1, out_2, out_3, \dots$ の順に、走査用の信号であるハイレベルのパルス信号として出力される。この出力 out_k の出力波形の幅（パルス幅）は、クロック X_a, X_b の 1 周期の長さと等しくなる。

【0010】

【発明が解決しようとする課題】

このようにして走査用の信号を出力する従来の走査回路は、クロック X_a, X_b が交互に且つ互いに重ならないように与えられるため、1 クロックのパルス幅が、出力 out_k のパルス幅の $1/2$ 未満の長さとする必要がある。一方、外部より入力されるクロック X_a, X_b の周波数には上限がある。従って、走査回路からの出力 out_k のパルス幅の長さは、限界となるクロック X_a, X_b のクロック周波数に応じた長さまでしか短くできない。よって、このような走査回路を有する撮像装置や画像表示装置の駆動回路の駆動速度が走査回路によって制限されてしまい、十分な高速駆動化が行えないという問題があった。

【0011】

このような問題を鑑みて、本発明は、従来と同一のクロック周波数のクロックを与えた場合に、従来よりも速い駆動速度で動作させるのに適した走査回路を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の走査回路は、直列に接続されるn（nは2以上の整数）段の転送段と、k（kは、 $1 \leq k \leq n$ の自然数）段目の転送段への入力と、k段目の転送段からの出力との論理積によって生成される信号をk段目の走査用パルス信号として出力する出力回路と、を有し、前記n段の転送段において奇数段の転送段と偶数段の転送段を交互に駆動させることによつて、前記出力回路よりn段の走査用パルス信号を1段毎に順次出力することを特徴とする。

【0013】

このような走査回路において、1段目の転送段にハイレベルのスタートパルスが与えられたときに、奇数段の転送段が駆動されると、1段目の転送段よりハイレベルの信号が出力される。このとき、出力回路を各転送段の入力及び出力の論理積を演算するn個の論理ゲートで構成すると、ハイレベルのスタートパルスと1段目の転送段からのハイレベルの信号が入力される論理ゲートより1段目の走査用パルス信号が出力される。

【0014】

そして、次に、偶数段の転送段が駆動されると、1段目の転送段よりハイレベルの信号が入力される2段目の転送段よりハイレベルの信号が出力される。このとき、1段目及び2段目の転送段それからのハイレベルの信号が入力される論理ゲートより2段目の走査用パルス信号が出力される。このように、奇数段及び偶数段の転送段を交互に駆動させることによつて、3段目、4段目、…、n段目の走査用パルスが順に出力回路より出力される。

【0015】

又、請求項2に記載の走査回路は、直列に接続されるn（nは2以上の整数）段の転送段と、互いに逆位相となる第1パルス及び第2パルスが入力され、前記

n 段の転送段うち奇数段の転送段の出力と前記第1パルスとの論理積を求める第1論理ゲート回路と、前記 n 段の転送段うち偶数段の転送段の出力と前記第2パルスとの論理積を求める第2論理ゲート回路とで構成される出力回路と、を有し、前記 n 段の転送段において奇数段の転送段と偶数段の転送段を交互に駆動させるとともに、前記出力回路内の前記第1及び第2論理ゲート回路を前記第1及び第2パルスで交互に駆動させることによって、前記出力回路より n 段の走査用パルス信号を1段毎に順次出力することを特徴とする。

【0016】

このような走査回路において、1段目の転送段にハイレベルのスタートパルスが与えられたときに、奇数段の転送段が駆動されると、1段目の転送段よりハイレベルの信号が出力される。このとき、第1論理ゲート回路を各転送段の入力と第1パルスとの論理積を演算する複数の論理ゲートで構成すると、奇数段の転送段の駆動と同時に第1パルスが与えられ、この第1パルスと1段目の転送段からのハイレベルの信号が入力される論理ゲートより1段目の走査用パルス信号が出力される。

【0017】

そして、次に、偶数段の転送段が駆動されると、1段目の転送段よりハイレベルの信号が入力される2段目の転送段よりハイレベルの信号が出力される。このとき、第2論理ゲート回路を各転送段の入力と第2パルスとの論理積を演算する複数の論理ゲートで構成すると、偶数段の転送段の駆動と同時に第2パルスが与えられ、この第2パルスと2段目の転送段からのハイレベルの信号が入力される論理ゲートより2段目の走査用パルス信号が出力される。このように、奇数段及び偶数段の転送段を交互に駆動させるとともに互いに逆位相となる第1及び第2パルスを出力回路に与えることによって、3段目、4段目、…、 n 段目の走査用パルスが順に出力回路より出力される。

【0018】

このような走査回路において、請求項3に記載するように、前記 n 段の転送段のうち奇数段の転送段の駆動を開始した後、前記第1論理ゲート回路の駆動を開始させ、前記 n 段の転送段のうち偶数段の転送段の駆動を開始した後、前記第2

論理ゲート回路の駆動を開始させる。

【0019】

請求項4に記載の走査回路は、請求項1～請求項3のいずれかに記載の走査回路。において、前記転送段が、前段の転送段の出力が一端に与えられるスイッチと、該スイッチの他端に入力側が接続されるとともに、出力側が後段の転送段のスイッチに接続されるバッファと、を備えることを特徴とする

【0020】

請求項5に記載の走査回路は、第1クロック及び第2クロックが異なるタイミングで入力されるとともに、第1クロックが入力された後に第2クロックが入力されたときに入力側に与えられる信号を出力側に出力するように転送動作を行う x (x は2以上の整数) 段の第1転送段と、第1クロック及び第2クロックが異なるタイミングで入力されるとともに、第2クロックが入力された後に第1クロックが入力されたときに入力側に与えられる信号を出力側に出力するように転送動作を行う y (y は、 $x-1$ 又は x) 段の第2転送段と、 a (a は、 $1 \leq a \leq y$ の自然数) 段目の第1転送段の出力と a 段目の第2転送段の出力との論理積によって生成される信号を $2a-1$ 段目の走査用パルス信号として出力するとともに、 b (b は、 $1 \leq b \leq x-1$ の自然数) +1段目の第1転送段の出力と b 段目の第2転送段の出力との論理積によって生成される信号を $2b$ 段目の走査用パルス信号として出力する出力回路と、を有し、前記出力回路より $x+y-1$ 段の走査用パルス信号を1段毎に順次出力することを特徴とする。

【0021】

このような走査回路において、1段目の第1及び第2転送段にハイレベルのスタートパルスが与えられたときに、第1クロック及び第2クロックを順次入力すると、1段目の第1転送段よりハイレベルの信号が出力される。そして、第1クロックを再び入力すると、1段目の第2転送段よりハイレベルの信号が出力される。このとき、出力回路を第1転送段の出力と第2転送段の出力との論理積を演算する複数の論理ゲートで構成すると、1段目の第1及び第2転送段からのハイレベルの信号が入力される論理ゲートより1段目の走査用パルス信号が出力される。

【0022】

そして、第2クロックを再び入力すると、2段目の第1転送段よりハイレベルの信号が出力される。このとき、1段目の第2転送段からの入レベルの信号と2段目の第1転送段からのハイレベルの信号が入力される論理ゲートより2段目の走査用パルス信号が出力される。このように、第1及び第2転送段に対して、第1及び第2クロックを交互に入力することによって、3段目、4段目、…、n段目の走査用パルスが順に出力回路より出力される。

【0023】

請求項6に記載の走査回路は、請求項5に記載の走査回路において、前記第1転送段が、前段の第1転送段の出力が一端に与えられるとともに、前記第1クロックでONとなる第1スイッチと、該第1スイッチの他端に入力側が接続される第1インバータと、該第1インバータに出力側に一端が接続されるとともに、前記第2クロックでONとなる第2スイッチと、該第2スイッチの他端に入力側が接続されるとともに、出力側が後段の第1転送段の第1スイッチに接続される第2インバータと、を備え、前記第2転送段が、前段の第2転送段の出力が一端に与えられるとともに、前記第2クロックでONとなる第3スイッチと、該第3スイッチの他端に入力側が接続される第3インバータと、該第3インバータに出力側に一端が接続されるとともに、前記第1クロックでONとなる第4スイッチと、該第4スイッチの他端に入力側が接続されるとともに、出力側が後段の第2転送段の第3スイッチに接続される第4インバータと、を備えることを特徴とする。

【0024】

請求項7に記載の撮像装置は、請求項1～請求項6に記載の走査回路を有することを特徴とする。

【0025】

このような撮像装置において、請求項8に記載するように、前記走査回路を水平走査回路とすることで、高速駆動の必要な水平走査回路を低い周波数のクロックで十分に動作させることができる。

【0026】

【発明の実施の形態】

本発明の実施の形態について、以下に説明する。

【0027】

<第1の実施形態>

本発明の第1の実施形態について、図面を参照して説明する。図1は、本実施形態の走査回路の内部構成を示すブロック回路図である。図2は、本実施形態の走査回路の動作を示すタイミングチャートである。

【0028】

図1の走査回路は、入力側にスタートパルスが入力されるバッファ b_0 と、直列に接続される n (n は2以上の整数) 段の転送段 $T_1 \sim T_n$ と、転送段 $T_1 \sim T_n$ それぞれに入力される信号と出力される信号が入力される n 個のAND回路 $A_1 \sim A_n$ とで構成される（図1には、6段目までを図示している）。そして、転送段 $T_1 \sim T_n$ それぞれは、1つのスイッチと1つのバッファで構成される。即ち、 k (k は、 $1 \leq k \leq n$ の自然数) 段目の転送段 T_k は、一端に転送段 T_{k-1} からの出力が入力されるスイッチ s_{kx} (x は、 a , b 何れかを表す) と、スイッチ s_{kx} の他端に入力側が接続されたバッファ b_k とから構成される。スイッチ s_{kx} の一端及びバッファ b_k の出力側が、AND回路 A_k の入力側に接続される。このAND回路 A_k の出力 out_k が走査用の信号となる。

【0029】

この走査回路は、転送段 $T_1 \sim T_n$ のうち、奇数段の転送段に設けられたスイッチと偶数段の転送段に設けられたスイッチとを交互に動作させるためのクロック X_a , X_b が、交互に与えられる。よって、クロック X_a がハイレベルのとき、転送段 T_1 , T_3 , T_5 , …のスイッチ s_{1a} , s_{3a} , s_{5a} , …がそれぞれONとなり、又、クロック X_b がハイレベルのとき、転送段 T_2 , T_4 , T_6 , …のスイッチ s_{2b} , s_{4b} , s_{6b} , …がそれぞれONとなる。

【0030】

このように構成される走査回路に、図2のようなクロック X_b がローレベルの間にハイレベルとなるスタートパルスが、バッファ b_0 を介して、1段目の転送段 T_1 に与えられる。そして、スタートパルスがハイレベルの間にクロック X_a

が与えられると、奇数段の転送段T1, T3, T5, …のスイッチs1a, s3a, s5a, …がそれぞれONとなる。よって、バッファb0を介してスタートパルスが与えられる転送段T1のバッファb1にのみハイレベルの信号が入力された状態であるので、転送段T1のスイッチs1a及びバッファb1を介して、ハイレベルの信号が出力される。

【0031】

このとき、転送段T1に入力される信号がハイレベルであるとともに転送段T1から出力される信号がハイレベルとなり、AND回路A1への2入力がハイレベルとなるため、AND回路A1からの出力out1がハイレベルとなる。そして、スイッチs1a, s3a, s5a, …がそれぞれOFFとなった後、スタートパルスがローレベルになるとともに、クロックXbが与えられると、AND回路A1への一方の入力がローレベルとなるため、出力out1がローレベルとなる。

【0032】

又、このとき、偶数段の転送段T2, T4, T6, …のスイッチs2b, s4b, s6b, …がそれぞれONとなる。よって、今、転送段T1に接続された転送段T2のバッファb2にのみハイレベルの信号が与えられた状態であるので、転送段T2のスイッチs2b及びバッファb2を介して、ハイレベルの信号が出力される。このとき、転送段T2に入力される信号がハイレベルであるとともに転送段T2から出力される信号がハイレベルとなり、AND回路A2への2入力がハイレベルとなるため、AND回路A2からの出力out2がハイレベルとなる。

【0033】

そして、スイッチs2b, s4b, s6b, …がOFFとなった後、再び、クロックXaが与えられると、奇数段の転送段T1, T3, T5, …のスイッチs1a, s3a, s5a, …がそれぞれONとなるため、転送段T2よりハイレベルの信号が入力される転送段T3以外の奇数段の転送段には、ローレベルの信号が入力されることになる。このとき、転送段T1にもローレベルの信号が入力されるため、転送段T1のスイッチs1a及びバッファb1を介して出力されるローレベルの信号がAND回路A2へ入力されるため、出力out1がローレベルとなる。

【0034】

又、転送段T3が、スタートパルスが与えられるとともにクロックXaが与えられたときの転送段T1と同様の動作を行う。よって、転送段T3に入力される信号がハイレベルであるとともに転送段T3から出力される信号がハイレベルとなり、AND回路A3からの出力out3がハイレベルとなる。

【0035】

そして、スイッチs1a, s3a, s5a, …がOFFとなった後、再び、クロックXbが与えられると、転送段T2が、クロックXaが与えられて出力out3が出力されるときの転送段T1と同様の動作を行うので、転送段T2より出力される信号がローレベルとなる。又、転送段T4が、クロックXbが与えられて出力out2が出力されるときの転送段T2と同様の動作を行うので、転送段T4に入力される信号がハイレベルであるとともに転送段T4から出力される信号がハイレベルとなり、AND回路A4からの出力out4がハイレベルとなる。

【0036】

このように、クロックXa, Xbを交互に与えて、奇数段の転送段T1, T3, T5, …及び偶数段の転送段T2, T4, T6, …を交互に駆動させることによって、AND回路A1～Anより、出力out1～outnを、out1, out2, out3, …, outnの順に、走査用のパルス信号として出力させることができる。

【0037】

このようにすることで、外部からの走査回路に入力するクロックXa, Xbのパルス幅を、出力outkのパルス幅の等倍未満の長さとすることができます、従来と比べて、2倍の長さとすることができる。よって、従来よりも低い周波数のクロックで、走査回路から高速走査用のパルス信号を出力させることができます。

【0038】

＜第2の実施形態＞

本発明の第2の実施形態について、図面を参照して説明する。図3は、本実施形態の走査回路の内部構成を示すブロック回路図である。図4は、本実施形態の走査回路の動作を示すタイミングチャートである。尚、図3の走査回路において、図1の走査回路と同一の部分については、同一の符号を付して、その詳細な説明は省略する。

【0039】

図3の走査回路は、直列に接続されるn（nは2以上の整数）段の転送段T₁～T_nと、転送段T₁～T_nそれぞれから出力される信号が入力されるn個のAND回路a₁～a_nとで構成される。転送段T_kは、第1の実施形態（図1）と同様、スイッチs_{kx}とバッファb_kとで構成される（図3には、6段目までを図示している）。尚、本実施形態では、第1の実施形態と異なり、第1段目の転送段T₁に直接スタートパルスが入力される。

【0040】

この走査回路は、転送段T₁～T_nのうち、奇数段の転送段に設けられたスイッチと偶数段の転送段に設けられたスイッチとを交互に動作させるためのクロックX_a、X_bが、交互に与えられる。又、AND回路a₁～a_nのうち、奇数段の転送段より出力される信号が一方の入力として与えられるAND回路の他方の入力にゲートパルスG_bが与えられ、又、偶数段の転送段より出力される信号が一方の入力として与えられるAND回路の他方の入力にゲートパルスG_aが与えられる。このゲートパルスG_a、G_bは、互いに逆位相で与えられるとともに、そのパルス幅を出力out_kのパルス幅とほぼ同一の長さとする。

【0041】

このように構成される走査回路に、図4のようなクロックX_bがローレベルの間にハイレベルとなるスタートパルスが1段目の転送段T₁に与えられる。そして、スタートパルスがハイレベルの間にクロックX_aが与えられるとともにゲートパルスG_aが与えられる。このとき、クロックX_aによって、奇数段の転送段T₁、T₃、T₅、…のスイッチs_{1a}、s_{3a}、s_{5a}、…がそれぞれONとなる。よって、スタートパルスが与えられる転送段T₁のバッファb₁にのみハイレベルの信号が入力された状態であるので、転送段T₁のスイッチs_{1a}及びバッファb₁を介して、ハイレベルの信号が出力される。

【0042】

又、ハイレベルのゲートパルスG_aがAND回路a₂、a₄、a₆、…に与えられるため、偶数段の転送段T₂、T₄、T₆、…からの出力が、AND回路a₂、a₄、a₆、…の出力out₂、out₄、out₆、…として現れる。しかし、スター

トパルスが与えられる転送段T1からのみハイレベルとなる信号が出力されるため、AND回路a2, a4, a6, …の出力out2, out4, out6, …は、ローレベルである。

【0043】

又、AND回路a1, a3, a5, …に入力されるゲートパルスG_bがローレベルであるため、AND回路a1, a3, a5, …の出力out1, out3, out5, …は、ローレベルである。転送段T1から出力されるハイレベルの信号は、スタートパルスがローレベルとなった後に次のクロックX_aが与えられるまで保持される。

【0044】

そして、スタートパルス及びゲートパルスG_aがローレベルとなるとともに、クロックX_b及びゲートパルスG_bが与えられると、ゲートパルスG_aが入力されるAND回路a2, a4, a6, …の出力out2, out4, out6, …が、ローレベルとなる。このとき、クロックX_bによって、偶数段の転送段T2, T4, T6, …のスイッチs2b, s4b, s6b, …がそれぞれONとなる。よって、転送段T1からハイレベルの信号が与えられる転送段T2のバッファb2にのみハイレベルの信号が入力された状態であるので、転送段T2のスイッチs2b及びバッファb2を介して、ハイレベルの信号が出力される。

【0045】

又、ハイレベルのゲートパルスG_bがAND回路a1, a3, a5, …に与えられるため、奇数段の転送段T1, T3, T5, …からの出力が、AND回路a1, a3, a5, …の出力out1, out3, out5, …として現れる。よって、転送段T1においてハイレベルの信号が保持されているため、AND回路a1の出力out1のみがハイレベルとなる。このゲートパルスG_bがハイレベルである間、AND回路a1の出力out1はハイレベルとなる。又、転送段T2から出力されるハイレベルの信号は、次のクロックX_bが与えられるまで保持される。

【0046】

そして、ゲートパルスG_bがローレベルとなるとともに、再び、クロックX_a及びゲートパルスG_aが与えられると、ゲートパルスG_bが入力されるAND回

路 a_1, a_3, a_5, \dots の出力 $out_1, out_3, out_5, \dots$ が、ローレベルとなる。このとき、クロック X_a によって、 T_1, T_3, T_5, \dots のスイッチ $s_{1a}, s_{3a}, s_{5a}, \dots$ がそれぞれONとなるため、転送段 T_2 よりハイレベルの信号が入力される転送段 T_3 からのみハイレベルの信号が出力される。又、転送段 T_2 においてハイレベルの信号が保持されているため、転送段 T_2 からのハイレベルの信号とハイレベルのゲートパルス G_a が入力されるANDゲート a_2 からの出力 out_2 のみがハイレベルとなる。

【0047】

このように、クロック X_a, X_b を交互に与えて、奇数段の転送段 T_1, T_3, T_5, \dots 及び偶数段の転送段 T_2, T_4, T_6, \dots を交互に駆動させるとともに、ゲートパルス G_b, G_a を交互に与えて、AND回路 a_1, a_3, a_5, \dots 及びAND回路 a_2, a_4, a_6, \dots を交互に駆動させることによって、AND回路 $a_1 \sim a_n$ より、出力 $out_1 \sim out_n$ を、 $out_1, out_2, out_3, \dots, out_n$ の順に、走査用のパルス信号として出力させることができる。

【0048】

このようにすることで、外部からの走査回路に入力するクロック X_a, X_b のパルス幅を、出力 out_k のパルス幅の等倍未満の長さとすることができます、従来と比べて、2倍の長さとすることができます。よって、従来よりも低い周波数のクロックで、走査回路から高速走査用のパルス信号を出力させることができます。又、出力 out_k のパルス幅がゲートパルス G_a, G_b のパルス幅によって決定される。よって、ゲートパルスのパルス幅を調整することによって走査用のパルス信号のパルス幅を設定することができる。

【0049】

<第3の実施形態>

本発明の第3の実施形態について、図面を参照して説明する。図5は、本実施形態の走査回路の内部構成を示すブロック回路図である。図6は、本実施形態の走査回路の動作を示すタイミングチャートである。尚、図5の走査回路において、図8の走査回路と同一の部分については、同一の符号を付して、その詳細な説明は省略する。

【0050】

図5の走査回路は、直列に接続されるm（mは2以上の整数）段の転送段 $t_{a1} \sim t_{am}$ と、直列に接続されるm段の転送段 $t_{b1} \sim t_{bm}$ と、転送段 $t_{a1} \sim t_{am}$ それぞれから出力される信号と転送段 $t_{b1} \sim t_{bm}$ それぞれから出力される信号とが入力される 2^{m-1} 個のAND回路 $\alpha_1 \sim \alpha_{2^{m-1}}$ とで構成される（図5では、それぞれ3段目までを図示している）。転送段 t_{ak} （kは、 $1 \leq k \leq m$ の自然数）は、従来（図8）と同様、スイッチ s_{ka} , s_{kb} とインバータ i_{ka} , i_{kb} とで構成される。

【0051】

又、転送段 t_{bk} は、一端に転送段 t_{bk-1} からの出力が入力されるスイッチ s_{kb} と、スイッチ s_{kb} の他端に入力側が接続されたインバータ i_{kb} と、インバータ i_{kb} の出力側に一端が接続されたスイッチ s_{ka} と、スイッチ s_{ka} の他端に入力側が接続されたインバータ i_{ka} と、から構成される。尚、本実施形態では、第1段目の転送段 t_{a1} , t_{b1} に直接スタートパルスが入力される。

【0052】

このように転送段 $t_{a1} \sim t_{am}$, $t_{b1} \sim t_{bm}$ が構成されるとき、転送段 t_{ak} 及び転送段 t_{bk} から出力される信号がAND回路 α_{2k-1} に入力され、又、転送段 t_{ak+1} 及び転送段 t_{bk} から出力される信号がAND回路 α_{2k} に入力される。そして、転送段 $t_{a1} \sim t_{am}$, $t_{b1} \sim t_{bm}$ それぞれに設けられたスイッチ $s_{1a} \sim s_{ma}$, $s_{1b} \sim s_{mb}$ を交互に動作させるためのクロック X_a , X_b が、交互に与えられる。

【0053】

このとき、転送段 t_{ak} , t_{bk} において、クロック X_a がハイレベルのとき、スイッチ s_{ka} がONとなり、又、クロック X_b がハイレベルのとき、スイッチ s_{kb} がONとなる。そして、AND回路 $\alpha_1 \sim \alpha_{2^{m-1}}$ の出力 $out_1 \sim out_{2^{m-1}}$ が走査用の信号となる。又、転送段 t_{ak} の出力が転送段 t_{ak} 内に備えられたインバータ i_{kb} の出力であり、転送段 t_{bk} の出力が転送段 t_{bk} 内に備えられたインバータ i_{ka} の出力である。

【0054】

このように構成される走査回路に、図6のように、クロックX_bが発生してから2度目のクロックX_aが発生するまでの間にハイレベルとなるスタートパルスが、1段目の転送段t_{a1}, t_{b1}それぞれに与えられる。そして、スタートパルスがハイレベルの間に、まず、クロックX_aが与えられる。このとき、転送段t_{a1}～t_{am}, t_{b1}～t_{bm}のスイッチs_{1a}～s_{ma}がそれぞれONとなる。よって、転送段t_{a1}において、スイッチs_{1a}を介して、ハイレベルのスタートパルスがインバータi_{1a}に与えられ、インバータi_{1a}よりローレベルの信号が出力される。

【0055】

そして、次に、クロックX_bが与えられる。このとき、転送段t_{a1}～t_{am}, t_{b1}～t_{bm}のスイッチs_{1b}～s_{mb}がそれぞれONとなる。よって、転送段t_{b1}において、スイッチs_{1b}を介して、ハイレベルのスタートパルスがインバータi_{1b}に与えられ、インバータi_{1b}よりローレベルの信号が出力されるとともに、転送段t_{a1}において、スイッチs_{1b}を介して、インバータi_{1a}から出力されるローレベルの信号がインバータi_{1b}に与えられ、インバータi_{1b}よりハイレベルの信号が出力される。

【0056】

スタートパルスがローレベルとされた後、再び、クロックX_aが与えられると、転送段t_{a1}～t_{am}, t_{b1}～t_{bm}のスイッチs_{1a}～s_{ma}がそれぞれONとなる。よって、転送段t_{b1}において、スイッチs_{1a}を介して、インバータi_{1b}から出力されるローレベルの信号がインバータi_{1a}に与えられ、インバータi_{1a}よりハイレベルの信号が出力されるとともに、転送段t_{a2}において、スイッチs_{2a}を介して、転送段t_{a1}から出力されるハイレベルの信号がインバータi_{2a}に与えられ、インバータi_{2a}よりローレベルの信号が出力される。

【0057】

このとき、転送段t_{a1}において、ローレベルの信号が入力されるので、スイッチs_{1a}を介して、入力されるローレベルの信号がインバータi_{1a}に与えられ、インバータi_{1a}よりハイレベルの信号が出力され、又、スイッチs_{1b}がOFFであるので、インバータi_{1b}から出力されるハイレベルの信号が保持される。よつ

て、転送段 t_{a1} , t_{b1} のそれぞれから出力されるハイレベルの信号が AND 回路 α_1 に入力されるため、AND回路 α_1 の出力 $out1$ がハイレベルとなる。

【0058】

そして、再び、クロック X_b が与えられると、転送段 $t_{a1} \sim t_{am}$, $t_{b1} \sim t_{bm}$ のスイッチ $s_{1b} \sim s_{mb}$ がそれぞれ ON となる。よって、転送段 t_{a2} において、スイッチ s_{2b} を介して、インバータ i_{2a} から出力されるローレベルの信号がインバータ i_{2b} に与えられ、インバータ i_{2b} よりハイレベルの信号が出力されるとともに、転送段 t_{b2} において、スイッチ s_{2b} を介して、転送段 t_{b1} から出力されるハイレベルの信号がインバータ i_{2b} に与えられ、インバータ i_{2b} よりローレベルの信号が出力される。

【0059】

このとき、転送段 t_{a1} において、インバータ i_{1a} より、スイッチ s_{1b} を介して、ハイレベルの信号がインバータ i_{1b} に与えられ、インバータ i_{1b} より出力される信号がローレベルになる。又、転送段 t_{b1} において、ローレベルの信号が入力されるので、スイッチ s_{1b} を介して、入力されるローレベルの信号がインバータ i_{1b} に与えられ、インバータ i_{1b} よりハイレベルの信号が出力されるとともに、スイッチ s_{1a} が OFF であるので、インバータ i_{1a} から出力されるハイレベルの信号が保持される。

【0060】

よって、転送段 t_{a1} , t_{b1} , t_{a2} のそれぞれから出力される信号が、ローレベル、ハイレベル、ハイレベルとなるため、AND回路 α_1 の出力 $out1$ がローレベルとなるとともに、AND回路 α_2 の出力 $out2$ がハイレベルとなる。

【0061】

このように、クロック X_b が与えられる毎に、転送段 $t_{a1} \sim t_{am}$ より、 t_{a1} , t_{a2} , …, t_{am} の順にハイレベルのパルス信号が出力され、又、クロック X_a が与えられる毎に、転送段 $t_{b1} \sim t_{bm}$ より、 t_{b1} , t_{b2} , …, t_{bm} の順にハイレベルのパルス信号が出力される。よって、クロック X_a , X_b が交互に与えられる毎に、AND回路 $\alpha_1 \sim \alpha_{2m-1}$ より、出力 $out1 \sim out_{2m-1}$ を、 $out1$, $out2$, $out3$, …, out_{2m-1} の順に、走査用のパルス信号として出力

させることができる。

【0062】

このようにすることで、外部からの走査回路に入力するクロック X_a、X_b のパルス幅を、出力outkのパルス幅の等倍未満の長さとすることができます、従来と比べて、2倍の長さとすることができます。よって、従来よりも低い周波数のクロックで、走査回路から高速走査用のパルス信号を出力させることができます。尚、本実施形態では、転送段 t_{a m} と転送段 t_{b m} とを同数としたが、これに限らず、転送段 t_{b m} を一つ少なくしても良い。この場合は、出力が一つ減り、AND回路の数は、2 (m - 1) 個となる。

【0063】

<本発明の走査回路を適用した撮像装置>

第1～第3のいずれかの実施形態の走査回路を適用した撮像装置について、図7を参照して説明する。図7は、第1～第3のいずれかの実施形態の撮像装置の内部構成を示すブロック図である。

【0064】

図7の撮像装置は、マトリクス状に配された複数の画素を有する固体撮像素子1と、固体撮像素子1内の画素を行毎に選択するための垂直走査回路2と、固体撮像素子1内の画素を列毎に選択するための水平走査回路3と、固体撮像素子1内の各画素からの出力を増幅して出力する出力回路4と、を有する。

【0065】

このような構成の撮像装置は、垂直走査回路2が、垂直走査期間毎に固体撮像素子1内の1行分の画素を切り換えるように、固体撮像装置1内の画素を1行毎にバイアスして駆動させる。そして、1垂直走査期間内に、水平走査回路3が、出力回路4内において固体撮像素子1の画素1列分毎に対して設けられた出力用スイッチを、順次駆動させることによって、垂直走査回路2で駆動させた1行分の画素の出力を、出力回路4で順次増幅して画素毎に出力する。即ち、固体撮像素子1内において、x個の画素で1行が構成されるとき、垂直走査回路2より1パルスが出力される間、水平走査回路3よりxパルスが出力される。

【0066】

このように、垂直走査回路2に比べて、水平走査回路3の方が、高速駆動させる必要がある。よって、水平走査回路3に、第1～第3の実施形態における走査回路を用いることによって、外部から入力されるクロックの周波数が低い場合でも、水平走査回路3を高速駆動させることができる。

【0067】

【発明の効果】

このようにすることで、外部からの走査回路に入力するクロックのパルス幅を、走査用パルス信号のパルス幅の等倍未満の長さとすることことができ、従来と比べて、約2倍の長さとすることができます。よって、従来よりも低い周波数のクロックで、走査回路から走査用パルス信号を出力させることができます。そのため、高速駆動に適した走査回路となる。又、第1及び第2パルスのパルス幅を調整することによって走査用パルス信号のパルス幅を設定することができ、走査用パルス信号に確実性を持たすことができる。

【図面の簡単な説明】

【図1】第1の実施形態の走査回路の内部構成を示すブロック回路図。

【図2】第1の実施形態の走査回路の動作を示すタイミングチャート。

【図3】第2の実施形態の走査回路の内部構成を示すブロック回路図。

【図4】第2の実施形態の走査回路の動作を示すタイミングチャート。

【図5】第3の実施形態の走査回路の内部構成を示すブロック回路図。

【図6】第3の実施形態の走査回路の動作を示すタイミングチャート。

【図7】本発明の走査回路を有する撮像装置の内部構成を示すブロック図。

【図8】従来の走査回路の内部構成を示すブロック回路図。

【図9】従来の走査回路の動作を示すタイミングチャート。

【符号の説明】

1 固体撮像素子

2 垂直走査回路

3 水平走査回路

4 出力回路

T₁～T_n 転送段

特2000-353920

t a 1 ~ t a m, t b 1 ~ t b m 輸送段

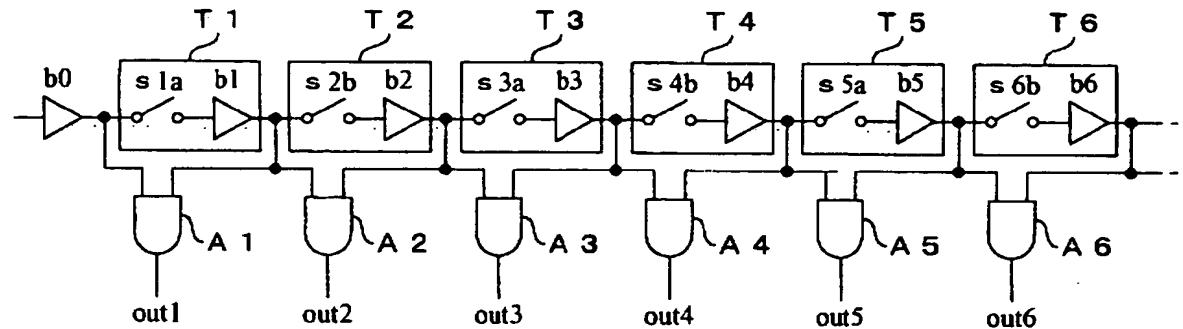
A 1 ~ A n AND回路

a 1 ~ a n AND回路

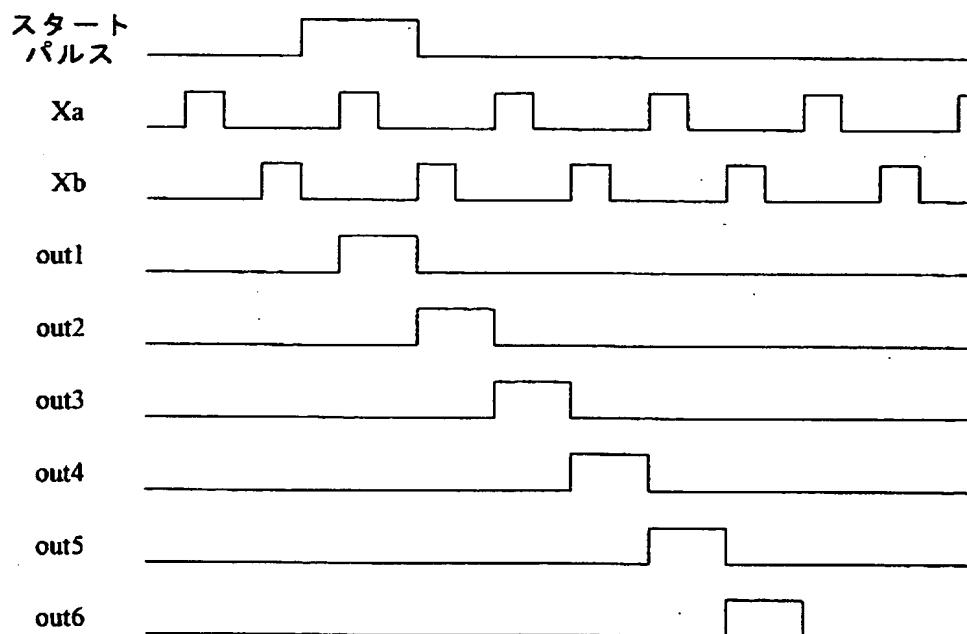
α 1 ~ α n AND回路

【書類名】 図面

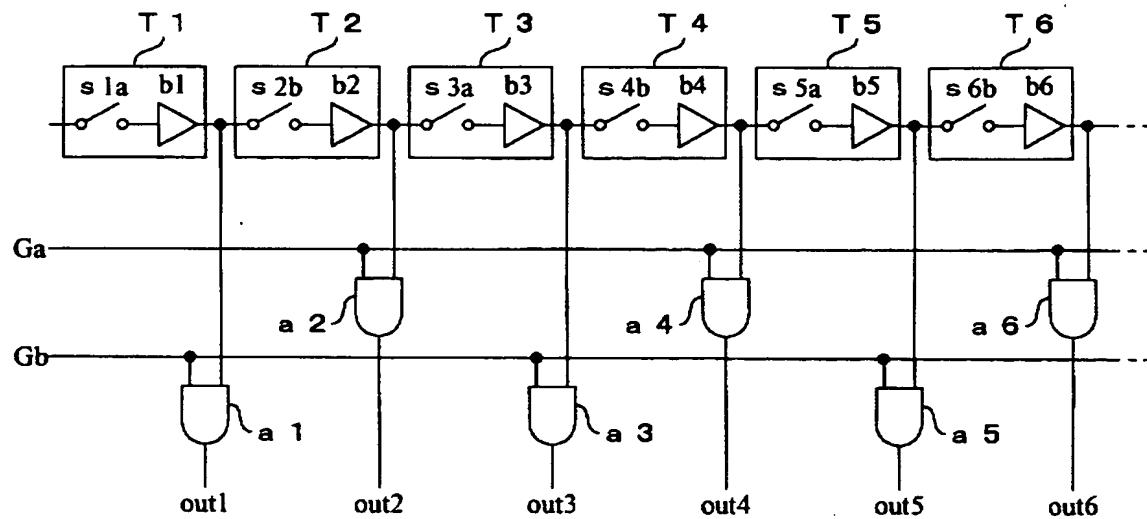
【図1】



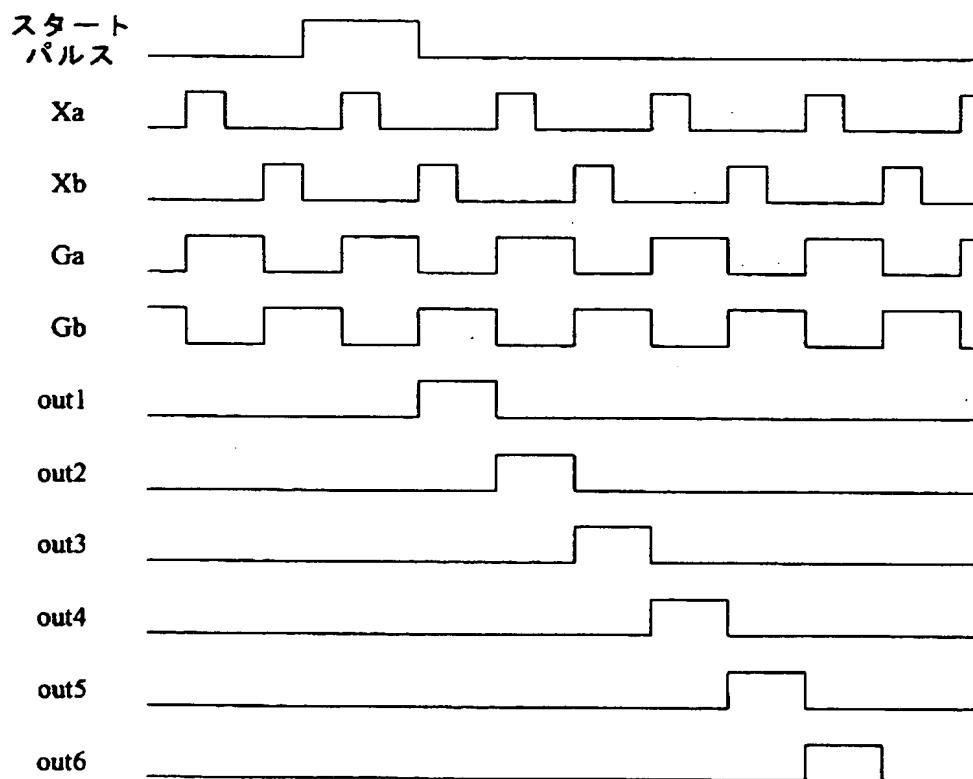
【図2】



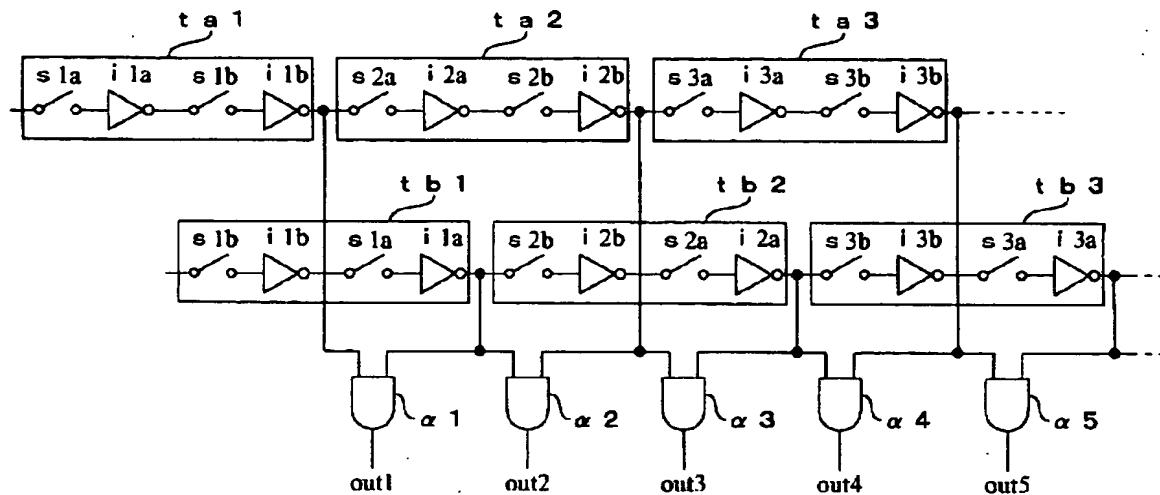
【図3】



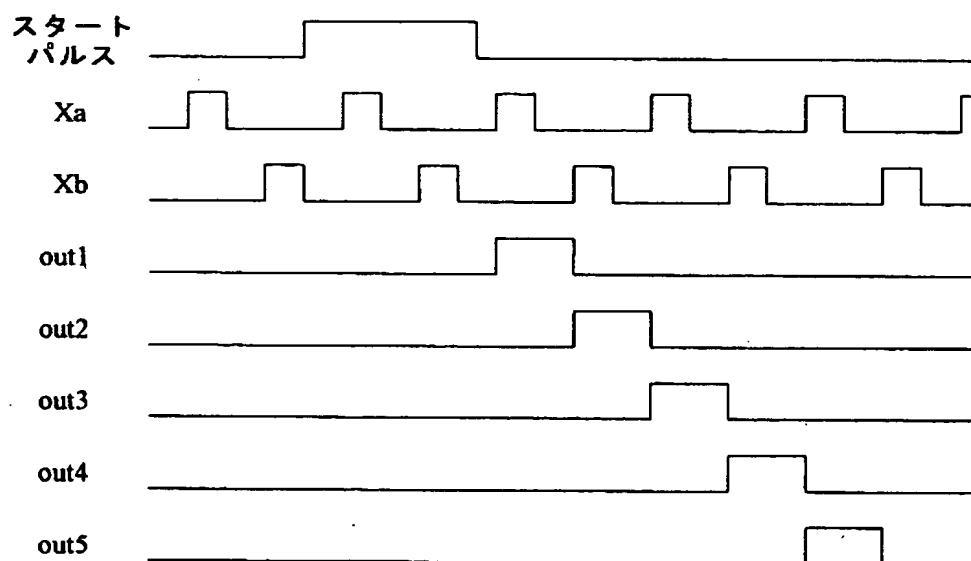
【図4】



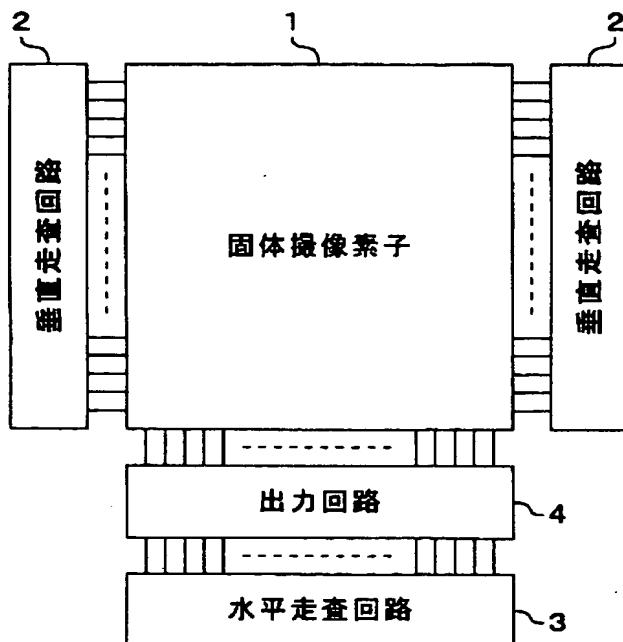
【図5】



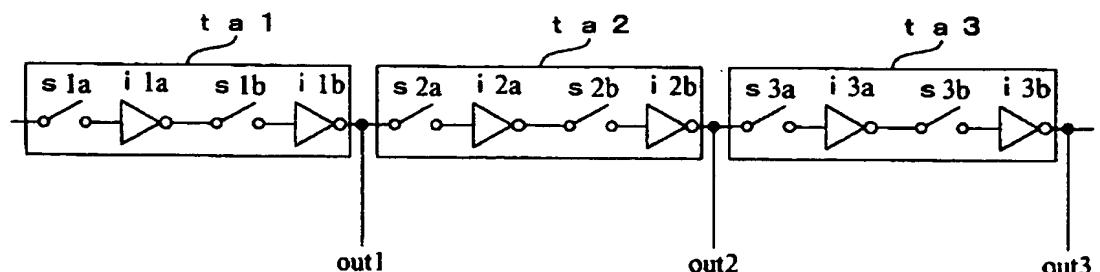
【図6】



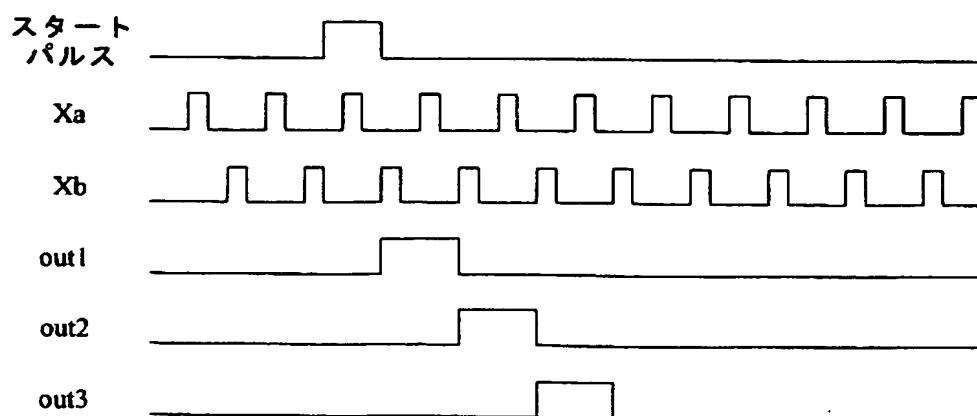
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 本発明は、従来と同一のクロック周波数のクロックを与えられた場合に、従来の倍程度の駆動速度で動作する走査回路を提供することを目的とする。

【解決手段】 転送段 $T_1 \sim T_n$ の内、偶数段と奇数段のスイッチを交互に駆動させることによって、転送段 $T_1 \sim T_n$ において、 T_1, T_2, \dots, T_n の順に、各転送段の入力側と出力側が同時にハイレベルになるようにする。よって、AND回路 $A_1 \sim A_n$ の出力 $out_1 \sim out_n$ が、 $out_1, out_2, \dots, out_n$ の順に、走査用のパルス信号として出力される。

【選択図】 図1

出願人履歴情報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名 ミノルタ株式会社